

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-048460

(43)Date of publication of application : 26.02.1993

(51)Int.Cl.

H03M 1/46

H03M 1/08

H03M 1/12

H04N 1/40

H04N 1/40

(21)Application number : 03-236059

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.09.1991

(72)Inventor : YAMAMOTO YASUNAGA

YAMAGUCHI KAZUFUMI

OKAMOTO TATSUSHIZU

(30)Priority

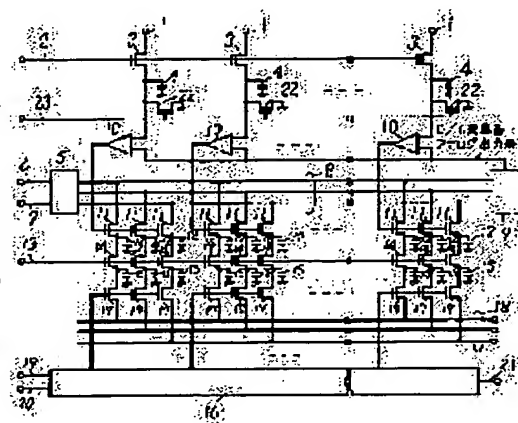
Priority number : 03133985 Priority date : 05.06.1991 Priority country : JP

(54) A/D CONVERTER AND SENSOR USING THE SAME AND THREE-DIMENSIONAL INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To apply the A/D converter to a 3-dimensional integrated circuit and an array sensor by devising the A/D converter in such a way that plural analog signals inputted in parallel are converted into digital signals at a high speed with high accuracy.

CONSTITUTION: This A/D converter is provided with plural analog signal input terminals 1, an analog signal storage section 4, plural comparators 10, a single D/A converter 9, a digital counter 5, digital value storage sections 12, 14, 15, and a scanning circuit 16. The different analog signal fed to each analog signal input terminal 1 is stored in the analog quantity storage section 4 and inputted to a comparator 10 together with a reference output of the D/A converter 9 increasing gradually attended with the operation of the counter, the data of the counter when the reference output is higher than each inputted analog value is stored individually to a digital quantity storage section 4 and the data therein is read sequentially as a digital value by the scanning circuit 16.

**LEGAL STATUS**

[Date of request for examination] 14.01.1997

[Date of sending the examiner's decision of rejection] 26.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-48460

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 1/46		9065-5 J		
1/08	A	9065-5 J		
1/12	C	9065-5 J		
H 0 4 N 1/40	1 0 1 A	9068-5 C		
	1 0 3 B	8943-5 C		

審査請求 未請求 請求項の数12(全 13 頁)

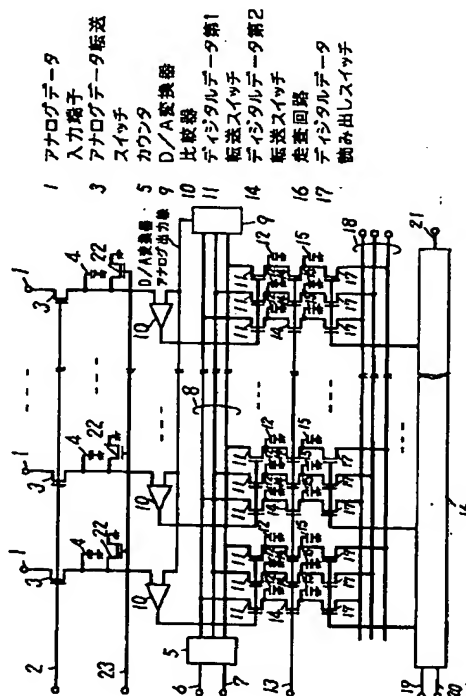
(21)出願番号	特願平3-236059	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成3年(1991)9月17日	(72)発明者	山本 泰永 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平3-133985	(72)発明者	山口 和文 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32)優先日	平3(1991)6月5日	(72)発明者	岡本 龍鎮 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33)優先権主張国	日本(J P)	(74)代理人	弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 A/D変換器とこれを用いたセンサ及び3次元集積回路

(57)【要約】

【目的】 並列入力される複数個のアナログ値を高速高精度にデジタルに変換する。3次元集積回路やアレイセンサへの応用用途が有望である。

【構成】 複数個のアナログ値入力端子、アナログ値蓄積部、複数個の比較器、単一のD/A変換器、デジタルカウンタ、デジタル値蓄積部、走査回路を備える。アナログ値入力端子毎に加えた異なるアナログ値をアナログ値蓄積部に蓄えると共に、カウンタの動作に伴い漸次増加するD/A変換器の参照出力値と共に比較器に入力し、参照出力値の方が入力した個々のアナログ値を上回る時のカウンタのデータを個別にデジタル値蓄積部に蓄えた後に、デジタル値蓄積部のデータを走査回路により順次デジタル値として読み出す。



【特許請求の範囲】

【請求項1】複数のアナログデータ入力端子と、この複数のアナログデータ入力端子より入力される個々のアナログデータを蓄積する複数のアナログ値蓄積部と、デジタルカウンタと、このデジタルカウンタのデジタル出力をアナログ値に変換するD/A変換器と、このD/A変換器の出力値と前記アナログデータとを比較し、前記デジタルカウンタがアップカウンタである時は前記D/A変換器の出力値が前記アナログデータを上回ったこともしくは、前記デジタルカウンタがダウンカウンタである時は前記D/A変換器の出力値が前記アナログデータを下回ったことを判別する複数の比較手段と、この複数の比較手段による制御を受けて前記D/A変換器のデジタル値を記憶するデジタル値蓄積部とを備えたA/D変換器。

【請求項2】複数のアナログデータ入力端子と、この複数のアナログデータ入力端子より入力される個々のアナログデータを蓄積するアナログ値蓄積部と、デジタルカウンタと、このデジタルカウンタのデジタル出力をアナログ値に変換するD/A変換器と、このD/A変換器の出力値と前記アナログデータとを比較し、前記デジタルカウンタがアップカウンタである時は前記D/A変換器の出力値が前記アナログデータを上回ったこともしくは、前記デジタルカウンタがダウンカウンタである時は前記D/A変換器の出力値が前記アナログデータを下回ったことを判別する複数の比較手段と、この複数の比較手段による制御を受けて前記D/A変換器のデジタル値を記憶するデジタル値蓄積部とを備えたA/D変換器であって、さらに前記デジタル値蓄積部のデータの出力を順次読み出す走査回路を備えた請求項1記載のA/D変換器。

【請求項3】複数の比較手段に基づいてD/A変換器のデジタル値を記憶し、記憶した前記デジタル値をデジタル値蓄積部に伝達する第2の蓄積部と、この第2の蓄積部からデジタル値蓄積部へのデジタル値の伝達を制御する伝達スイッチ列とを備えた請求項2記載のA/D変換器。

【請求項4】アレイ状のセンシング素子の出力を請求項2記載のA/D変換器のアナログデータ入力端子に接続したデジタル信号出力のセンサ。

【請求項5】アレイ状をなしたセンシング素子である光電変換素子と、複数列の垂直電荷転送路と、電荷を電圧に変換してこれをアナログ出力とする増幅部とを備えた請求項4記載のセンサ。

【請求項6】アレイ状をなした複数の光電変換素子からの電圧値出力を各垂直出力線毎にフォロワ回路で増幅し、固定パターンノイズを除去する回路を列毎に備えたセンサ。

【請求項7】アレイ状をなした複数の光電変換素子からの電圧値出力をフォロワ回路で増幅し各垂直出力線に出

かし、結合容量の一方の端子をこの各垂直出力線に接続するとともに前記結合容量の他方の端子をスイッチの一方の端子に接続し、更に前記スイッチの他端を一定電位線に接続した構成をとるセンサであって、露光量情報を担うフォロワ出力が垂直出力線に現われている時に前記スイッチをオンにし、このスイッチがオフした後に増幅用トランジスタのゲート電位をリセットして前記垂直出力線にゲート電位がリセット電位にある前記増幅用トランジスタのフォロワ出力を出力することにより前記結合容量端子にゲート電位がリセット電位にある前記増幅用トランジスタのフォロワ出力と前記露光量情報を担ったフォロワ出力との差分の電圧を出力して、各垂直出力線毎に固定パターンノイズを除去する回路を備えたセンサ。

【請求項8】アレイ状をなした複数の光電変換素子からの電圧値出力をフォロワ回路で増幅し、列毎に固定パターンノイズを除去したアナログ出力を与える回路を備えた請求項4記載のセンサ。

【請求項9】アレイ状をなした複数の光電変換素子からの電圧値出力をフォロワ回路で増幅し各垂直出力線に出力し、結合容量の一方の端子をこの各垂直出力線に接続するとともに前記結合容量の他方の端子をスイッチの一方の端子に接続し、更に前記スイッチの他端を一定電位線に接続した構成をとるセンサであって、露光量情報を担うフォロワ出力が垂直出力線に現われている時に前記スイッチをオンにし、このスイッチがオフした後に増幅用トランジスタのゲート電位をリセットして前記垂直出力線にゲート電位がリセット電位にある前記増幅用トランジスタのフォロワ出力を出力することにより前記結合容量端子にゲート電位がリセット電位にある前記増幅用トランジスタのフォロワ出力と前記露光量情報を担ったフォロワ出力との差分の電圧を出力して、各垂直出力線毎に固定パターンノイズを除去する回路を備えた請求項4記載のセンサ。

【請求項10】A/D変換層の構成要素として請求項1記載のA/D変換器を備え、他層からの複数のアナログデータを前記A/D変換器の複数のアナログデータ入力端子に各々入力する構成の3次元集積回路。

【請求項11】アレイ状のセンシング素子からのアナログ値出力を並列にデジタル値に変換することを特徴とする請求項10記載の3次元集積回路。

【請求項12】露光量に応じて変化する複数の光電変換デバイスの端子電圧をインピーダンス変換して各々のA/D変換器に伝達することを特徴とする請求項11記載の3次元集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は複数のアナログ値をデジタル値に変換する装置及び前記変換装置を内蔵したセンサおよび3次元集積回路に関するものである。

【0002】

【従来の技術】アナログ値をディジタル値に変換する装置（以下A/D変換器と記す）としては積分型、逐次比較型、フラッシュ型等種々のものが存在するがいずれも基本的に1つのアナログ値を逐一ディジタル値に時系列的に変換するものであり、同時に複数個のアナログ値の変換を行うものではない。またA/D変換器を有するイメージセンサの場合、その形態は基本的に1つの入力端子を有する上記のようなA/D変換器をイメージセンサの各画素共通の1つのアナログ出力端子に接続したものであり、時系列的に出力されるアナログ信号値を逐一ディジタル値に変換するものにすぎない。

【0003】

【発明が解決しようとする課題】上記従来例のA/D変換器においては以下のような課題が存在する。すなわちフラッシュ型のA/D変換器は高速変換できるが分解能の上昇と共に回路が飛躍的に複雑化するし、積分型のA/D変換器は高精度であるが変換速度が小さい。複数個のアナログ値データを有機的に信号処理する3次元集積回路や、複数個のセンシング素子からアナログ値データを得るアレイ状のセンサでは一般的に入力されてくるアナログ値のデータを、種々のデータ処理を行うために、A/D変換する必要がある。特にイメージセンサでは近年、原稿読み取り速度の向上及び解像度の向上の観点からますます高速の画像データの読み出しを要求されるようになってきているが、高速読み出しに伴い、アナログ出力波形の立ち上がり要する時間やスパイクノイズ等の影響が大きくなり、従って信号値の精度を低下させることなくA/D変換することは困難になってくる。また3次元集積回路においては必然的に内部に分布して存在する複数個のアナログ値をディジタル値に高速に変換する必要がある。この場合にA/D変換処理すべきアナログ値の個数よりも極端に少ない個数の高速だが回路規模の大きい1入力のA/D変換器を用いて上記の複数個のアナログ値について、マルチプレクスしながら高速に時系列的にシリアルに順次変換することが考えられるが、この場合は3次元集積回路内に分布する複数個のアナログ値から回路規模の大きいA/D変換器への多数の配線の集中が生じて集積性の観点から望ましくはない。またアナログ値出力箇所からA/D変換器までの配線距離が長くなることを意味しS/Nの観点からも望ましくなく3次元集積回路の特長が活かされない。またフラッシュ型A/D変換器を各アナログ値の個数と同等の個数だけ備えるということも集積性の観点から望ましくはない、等の課題が存在する。またA/D変換されるアナログ値は当然固定パターンノイズが除去されているべきであり、このための工夫も必要である。

【0004】

【課題を解決するための手段】上記課題を解決するために本発明のA/D変換器は、複数のアナログデータ入力

端子と、この複数のアナログデータ入力端子より入力される個々のアナログデータを蓄積するアナログ値蓄積部と、ディジタルカウンタと、このディジタルカウンタのディジタル出力をアナログ値に変換するD/A変換器と、このD/A変換器の出力値とアナログデータとを比較し、ディジタルカウンタがアップカウンタである時はD/A変換器の出力値がアナログデータを上回ったこともしくは、ディジタルカウンタがダウンカウンタである時はD/A変換器の出力値がアナログデータを下回ったことを判別する複数の比較手段と、この複数の比較手段による制御を受けてD/A変換器のディジタル値を記憶するディジタル値蓄積部とを備えたA/D変換器であって、さらに前記ディジタル値蓄積部のデータの出力を順次読み出す走査回路を備えたものである。また本発明のセンサは複数個のセンシング素子のアナログ出力を本発明のA/D変換器の複数のアナログデータ入力端子に入力するものである。更に本発明の3次元集積回路は、本発明のA/D変換器の各アナログデータ入力端子に3次元集積回路内に分布する各アナログ値を入力するものである。またA/D変換されるアナログ値の固定パターンノイズを除去するために上記のA/D変換器のアナログデータ入力端子毎に容量とスイッチからなるクランプ回路を設ける。

【0005】

【作用】本発明は上記した構成によって、複数個のアナログデータ入力端子からのアナログ信号を各々個別に有する蓄積部に蓄積しこれを個別の比較器のそれぞれ一方の入力端子に伝達するとともに前記比較器の他方の入力端子にはカウンタのディジタル値の増加に伴い漸次増加または減少するD/A変換器の出力するアナログ値を参照値として共通に入力する。前記参照値が前記比較器の一方の入力端子に加えられたアナログ値を上回るまたは下回るときに各比較器毎に前記アナログ信号値の大きさに基づくタイミングで前記各比較器出力がスイッチをオフする。前記スイッチは各画素毎に有する前記カウンタのディジタル値を各ビット毎に2値量として蓄積するディジタル値蓄積部に接続する。従って前記スイッチが比較器の出力に基づいてオフになった際に各アナログデータ入力端子毎のアナログ信号量に対応するディジタル値が前記ディジタル値蓄積部に保持される。以上のアナログ値からディジタル値への変換は各アナログデータ入力端子について並列に行われ、この変換に要する時間は所定のアナログ上限値に基づいて前記カウンタのカウント時間によって決まる。上記アナログ値からディジタル値への変換が終了すれば前記のディジタル値蓄積部のデータを順次ディジタル出力線からディジタル値として出力する。各アナログデータ入力端子毎のA/D変換時間とディジタル信号出力時間とをタイミングとして重なりを持たせることにより、アナログ入力端子数の増加と共にA/D変換時間を大きく取ることができる。また各アナロ

グデータ入力端子毎にクランプ回路を設けたことにより、明時すなわち露光量を担う電圧出力が現われているタイミングで容量を介した一端を一定電圧値にクランプしておくことにより、暗時出力が現われるタイミングで前記クランプ回路の容量を介した出力端子に前記の明時出力および暗時出力の差分の電圧が現れるので固定パターンノイズが除去される。

【0006】

【実施例】以下本発明の実施例を図面を参照しながら説明する。図1は本発明のA/D変換器の第1の実施例である。図1においては複数個のアナログデータ入力端子1を有しておりこれらのデータは、アナログ値転送ゲート端子2によって駆動されるアナログデータ転送スイッチ3を介してアナログ値蓄積部4に保持される。5はカウンタでありカウンタクロック入力端子6及びカウンタクリア端子7によって制御される。8はカウンタ5からのバイナリ出力線である。なお図1では簡単のためカウンタ5を3ビットカウンタとしているが実際には何ビットカウンタでもよい。D/A変換器9はバイナリ出力端子8からのバイナリ出力をアナログ値に変換したデータを複数個の比較器10の一方の入力端子に与える。各比較器10の他方の入力端子には前記アナログ値蓄積部4に保持されたデータが入力される。比較の初期段階ではアナログ値蓄積部4のデータの方がD/A変換器9のアナログ出力線のデータよりも大きく、比較器10の出力はデジタルデータ第1転送スイッチ11をオン状態にしてバイナリ出力線8のデータがそのままデジタル値第1蓄積部12に伝達されている。カウンタ5がアップカウンタであればD/A変換器9のアナログ出力線のデータ値がアナログ値蓄積部4のデータを上回った時点で各アナログ並列入力データ毎にデジタルデータ第1転送スイッチ11はオフ状態に転じ、以降デジタルデータ第1蓄積部12のデータはデジタルデータ第1転送スイッチ11がオフ状態に転じる直前のバイナリデータを保持し続ける。カウンタ5がその最大値までカウントアップを終えるとデジタル値転送ゲート端子13により全てのデジタルデータ第1蓄積部12のデータは一斉にデジタルデータ第2転送スイッチ14を介してデジタル値第2蓄積部15に保持される。以下第2のデジタル値蓄積部15に保持されたバイナリデータは走査回路16の並列出力に基づいてデジタルデータ読み出しスイッチ17を介してデジタル信号出力線18に各アナログ並列入力データ毎にデジタル値として順次読み出される。19は走査回路クロック入力端子、20は走査開始信号入力端子、21は走査回路キャリアバルス出力端子である。

【0007】この走査回路によるアナログ並列入力データ毎のデジタル信号出力線18への順次読み出しが行われている期間に並行して、次に入力されてくる列をなした1群のデータのアナログ値からデジタル値への変

換が前述のようにアナログ入力データ毎に並列に行われる。アナログ値リセットスイッチ22はアナログ値蓄積部4をリセットするためのスイッチでありリセットゲート端子23により制御される。本アナログ値リセットスイッチ22はアナログデータ入力端子1のインピーダンスが大きい場合に必要のものであり、出力インピーダンスの小さいバッファ等を介してアナログデータ入力端子1にデータ入力が行われる場合には特に必要ではない。走査回路クロック端子19及び走査開始信号入力端子20はカウンタクロック入力端子6及びカウンタクリア端子7とは各々独立して設けているが、これは走査すべきアナログ並列入力データ数とA/D変換時のカウンタフルスケールが一般的に異なるため自明である。また図1に示すA/D変換器を複数個直列接続してより多くのアナログ並列入力データのA/D変換を行えるようにすることも可能であり、これは前段のA/D変換器の走査回路キャリア出力端子21を次段のA/D変換器の走査開始信号入力端子20に順次受けるようにすれば容易に実現できる。アナログ値蓄積部4、デジタル値蓄積部12及び15は容量性素子として描写しているが、これは更にインピーダンス変換素子をも含んだレジスタとしてもよい。

【0008】特にデジタル値蓄積部12とデジタルデータ第1転送スイッチ11はデジタルデータ第1転送スイッチ11のゲート端子をイネーブル端子とするフリップフロップに、デジタル値蓄積部15とデジタルデータ第2転送スイッチ14はデジタル値転送ゲート端子13をイネーブル端子とするフリップフロップにしてスタティックレジスタとしてもよい。D/A変換器9は重み付け型やR-2R型等の一般的なD/A変換器である。また本図に示すようなA/D変換器は積分型やカウンタ型と呼ばれるA/D変換器の範疇に入るものであり、上記の説明ではカウントアップ型として説明を行ったがカウントダウン型としてもよい。カウントダウン型の場合は、比較の初期段階ではアナログ値蓄積部4のデータの方がD/A変換器9のアナログ出力線のデータよりも小さく、比較器10の出力はデジタルデータ第1転送スイッチ11をオン状態にしてバイナリ出力線8のデータがそのままデジタル値第1蓄積部12に伝達されているが、D/A変換器9のアナログ出力線のデータ値がアナログ値蓄積部4のデータを下回った時点で各アナログ並列入力データ毎にデジタルデータ第1転送スイッチ11はオフ状態に転じ、以降デジタルデータ第1蓄積部12のデータはデジタルデータ第1転送スイッチ11がオフ状態に転じる直前のバイナリデータを保持し続けることになる。

【0009】図1に示した構成1つでのみA/D変換器とする場合には走査開始信号入力端子20とカウンタクリア端子7とは共通結線が可能であり、更にカウンタフルスケールとアナログ並列入力データ数とが等しけれ

ば、走査回路クロック入力端子19とカウンタクロック入力端子6とを共通結線して使用することも可能である。図2に図1のA/D変換器を駆動するためのタイミング図の1例を示す。図2ではデジタル化されたデータの走査出力期間の方がA/D変換期間よりも長いとしている。A/D変換期間とデジタル化データ出力期間とが同時進行するために、アナログ並列入力データを与え得るインターバルはこの両者の内の長い方の期間で決ってくる。またA/D変換期間とデジタル化データ出力期間とが同時進行するためにはデジタル値転送ゲート端子のHレベル期間がデジタル化データ出力期間が開始するよりも早く終わっていなければならない。(図2中のアナログ並列入力信号リセット信号とは図1のアナログデータ入力端子1のデータ源をリセットする必要がある場合のものであり、後述の本発明のセンサの実施例の説明においてふれる。)ところでデジタル信号出力線18に現われるデータはバイナリデータだからアナログ並列入力データ毎に順次高速読み出しが可能である。この読み出しが行われている一方で、アナログデータからデジタルデータへの変換が各アナログ並列入力データにおいて並列同時に行われている。仮にアナログ並列入力データ数が2500であり、これをデジタル信号出力線18から8ビットの分解能で5MHzで読み出すとすれば、500μ秒の読み出し期間を必要とする。カウンタ5が8ビットでそのフルスケールが255であるとすれば、バイナリ出力線8とデジタル信号出力線18は8本となり、前記500μ秒間に255クロックだけカウントすればよいから1クロック周期は約2μ秒である。従って時間的に余裕のあるA/D変換が可能であり、従ってD/A変換器9の内部素子として低スルーレートのオペアンプを使用できるのでグリッチの悪影響もなく高精度化が可能である。また本実施例では3ビットのA/D変換器としたが、任意のビット数のA/D変換器に容易に拡張できることは明かである。

【0010】更に図2においてはアナログデータ転送スイッチ3、デジタルデータ第1転送スイッチ11、デジタルデータ第2転送スイッチ14、デジタルデータ読み出しスイッチ17、リセットスイッチ22は各々NチャネルMOSFETとして描写及び説明を行ってきたが、NチャネルMOSFETではなくPチャネルMOSFET、並列CMOSスイッチ、またはJFETを使用してもよい。スイッチを駆動する際のゲート電位変化によるフィードスルー電位変動のデータ(とりわけアナログデータ)に対する影響を更に考慮する場合には並列CMOSスイッチが望ましい。

【0011】図3は図1におけるデジタル値転送ゲート端子13及びデジタルデータ第2転送スイッチ14とを省略したものであり、本発明のA/D変換器の第2の実施例である。図3中の素子で図1中に用いられている素子と等しい番号のものは機能的にも等しいので説明

を省略する。図3中24はデジタル値蓄積部である。

【0012】図3の駆動のためのタイミング図は図4のようになる。即ちアナログ並列入力が与えられるインターバルの内にまづA/D変換期間が現れ、引き続いてデジタル化データ出力期間が現われる。つまりA/D変換期間とデジタル化データ出力期間とが時間的に重ならないのでデジタルデータ第2転送スイッチを省略できる。このようなA/D変換器の構成はA/D変換器のデジタル出力のフルスケールが一度に並列入力されるアナログデータ量と比較して極めて小さい場合に有効である。例えば並列入力数が5000で5MHz読み出しに要する時間は1m秒であるが、デジタル出力のフルスケールを7としカウンタクロックを100kHzとしたA/D変換期間は70μ秒程度となり1m秒に比べて極めて小さく本A/D変換器が有効であることが分かる。

【0013】図3に示すA/D変換器もまた図1に示したA/D変換器と同様に複数個直列接続してより多くのアナログ並列入力データのA/D変換を行えるようにすることが可能である。アナログ値蓄積部4、デジタル値蓄積部24は容量性素子として描写しているが、これは更にインピーダンス変換素子をも含んだレジスタとしてもよい。特にデジタル値蓄積部24とデジタルデータ転送スイッチ11はデジタルデータ転送スイッチ11のゲート端子をイネーブル端子とするフリップフロップにしてスタティックレジスタとしてもよい。また本A/D変換器も図1に示したA/D変換器と同様にカウントアップ型またはカウントダウン型のいずれとしてもよい。本A/D変換器においてもA/D変換期間がデジタルデータ出力期間に比べて十分小さい場合には図1のA/D変換器と同様に低スルーレートのオペアンプをD/A変換器9の内部素子として使用できるのでグリッチの悪影響を低減できる。また本実施例も3ビットのA/D変換器としたが、任意のビット数のA/D変換器に容易に拡張できることは明かである。更に図4においてもアナログデータ転送スイッチ3、デジタルデータ転送スイッチ11、デジタルデータ読み出しスイッチ17、リセットスイッチ22は各々NチャネルMOSFETとして描写及び説明を行ってきたが、NチャネルMOSFETではなくPチャネルMOSFET、並列CMOSスイッチ、またはJFETを使用してもよい。スイッチを駆動する際のゲート電位変化によるフィードスルー電位変動のデータ(とりわけアナログデータ)に対する影響を更に考慮する場合には並列CMOSスイッチが望ましい。

【0014】本発明のセンサの第1及び第2の実施例を図5及び図6に示す。図5及び図6は各々図1及び図3に示したA/D変換器のアレイ状のアナログデータ入力端子の各々にセンシング素子25を付加したものである。図5、図6において各センシング素子25は検出す

べき物理量を電圧までトランスデュースする部分と必要に応じては検出部自体を初期化するリセットスイッチ及びバッファ出力回路をも含むものである。(ここに述べたリセットスイッチの動作タイミング図が図2及び図4においてアナログ並列入力信号リセット信号として示したものである。)例えばセンシング素子25の中の検出部での信号が電流としての出力形態であれば各センシング素子25は電流/電圧変換回路を含むものである。図5に示すセンサは図1に示したA/D変換器のアナログデータ入力端子1に各センシング素子25の出力を並列に導くものであり以下の動作は図2に示したタイミング図の通りである。また図6に示すセンサも同様であり、図3に示したA/D変換器のアナログデータ入力端子1に各センシング素子25の出力を並列に導くものであり以下の動作は図4に示したタイミング図の通りである。このような構成のセンサではA/D変換器をも含めた1チップ集積化デバイスもしくはハイブリッド集積化デバイスとすることが可能であり、アナログデータの精度即ちS/Nを劣化させることなくデジタル化できると、前記デバイス外へデジタルデータとして出力信号を引き出すことにより信号品質の低下を招くことがない、等が特徴として挙げられる。

【0015】図5及び図6においては1次元アレイ状のセンサを説明したが、更に2次元アレイ状のセンサを図7を用いて説明する。図7中26はM行N列のエリアセンシング素子であり、25はM×N個のセンシング素子、27はM段の垂直走査回路、28はN個の列毎のセンシング素子出力端子であり、このセンシング素子出力端子28を各々図1または図3に示したA/D変換器のアナログデータ入力端子1に接続して且つA/D変換器の走査回路16を水平走査回路として駆動して2次元アレイ状センサを構成するものである。1段の垂直転送毎に1行のデータのA/D変換及びデジタル走査出力を得るように駆動を行う。

【0016】このような構成のセンサではA/D変換器をも含めた1チップ集積化デバイスもしくはハイブリッド集積化デバイスとすることが可能であり、アナログデータの精度即ちS/Nを劣化させることなくデジタル化できると、前記デバイス外へデジタルデータとして出力信号を引き出すことにより信号品質の低下を招くことがない。

【0017】図8は図7のセンサをCCDセンサを基本とした場合のより具体的な第1の実施例のエリアセンサを示すものである。31は図1または図3に示したA/D変換器である。図8において、入射露光量に応じて各フォトダイオード39に蓄えられた電荷は垂直ブランキング期間毎に転送ゲート40の駆動によって垂直電荷転送路41に転送された後、垂直電荷転送路41をクロックパルス端子42を駆動することにより順次垂直方向に転送される。以後、各列の電荷は水平ブランキング期間

毎に1行毎に出力ゲート35の駆動によって浮遊拡散領域34に転送される。前記浮遊拡散領域34はバッファ33と共に浮遊拡散型増幅器として機能して浮遊拡散領域34の中の各電荷が有するアナログ値を同時に検出しこれをA/D変換器31のアナログデータ入力端子1に各々入力する。以下1行毎に各列のアナログデータが並列にA/D変換されてデジタル値としてデジタル信号出力線18にシリアルに出力される。図8中においてリセットゲート36はこれを駆動してリセット電位にある拡散領域38と前記浮遊拡散領域34とを結んでリセットを行うためのものである。37は拡散領域38の電位をリセット電位に保つためのラインである。1、18、19、20は各々図1または図3の中の同一番号のもの等しい。

【0018】尚、図8においてはインターライン転送型の電荷転送型撮像素子を基本とするA/D変換機能を有するセンサとして説明を行ったが、フレーム転送型やフレームインターライン転送型の電荷転送型撮像素子に対しても同様にA/D変換機能を有するセンサを実現できる。

【0019】ところで複数のアナログデータ入力端子に与えられるアナログ値が各アナログデータ入力端子毎に異なるオフセット値を有する場合はこれが固定パターンノイズとなるので、これをA/D変換する前に除去する必要がある。従って各アナログデータ入力端子毎に容量とスイッチ等からなるクランプ回路を設ければ固定パターンノイズを除去できる。

【0020】従って図8のセンサにおいては、バッファ33をノイズを低減するために容量とスイッチからなるクランプ回路を基本構成とする相関2重サンプリング回路を含むものとしてもよい。即ち各水平ブランキング期間について各列の浮遊拡散領域34が一斉にリセット電位に保たれた直後に各列のクランプ回路の出力端子を一定電圧にクランプしておくことにより、前記各列の浮遊拡散領域34に一斉に露光量を担う出力が現われた際に前記各列のクランプ回路の出力端子には固定パターンノイズが除去された出力を得る。これにより各列毎にA/D変換するために好適なアナログ出力を得る。

【0021】図9(a)は図7のセンサを増幅型MOSセンサを基本とした場合のより具体的な第2の実施例のエリアセンサを示すものである。31は図1または図3に示したA/D変換器、47は定電流源を形成する素子、1、18、19、20は各々図1または図3の同一番号ものに等しいものである。図9(a)において、入射露光量に応じて各フォトダイオード44に蓄えられた電荷は垂直走査回路の働きにより選択された行について水平ブランキング期間毎に転送スイッチ43が一斉にオンし増幅用トランジスタ45のゲート電位として蓄えられる。この後転送スイッチ43はオフ状態にする。このとき増幅用トランジスタ45のドレインをハイレベルに

することによって、現在選択されている1行の増幅用トランジスタ45のゲート電位に基づいたフォロウ出力が増幅用トランジスタ45の共通ソースである垂直出力線46に現われる。或る1つの行の出力が垂直出力線46に現われる場合、まずその行の露光量情報を担うフォロウ出力が現れ、続いてその行の増幅用トランジスタ45のゲート電位がリセット用トランジスタ49により所定のリセット値にリセットされた後の上記ゲート電位のフォロウ出力が現われる。本センサでは各画素毎に増幅用トランジスタ45の閾値電圧に製造上の特性ばらつきが生じ、これが増幅用トランジスタのゲート電位が一定値に設定されてもフォロウ出力ばらつき即ち固定パターンノイズとして現われる。従って上記の露光量情報を担うフォロウ出力とリセット後のフォロウ出力との差をとることが必要である。以下にこの方法を説明する。前記の露光量情報を担うフォロウ出力が垂直出力線46に現われている時に結合容量50のバッファ52側の端子51の電位をリセットするリセットスイッチ48をオンにする。次に端子51の電位のリセットスイッチ48がオフした後に増幅用トランジスタ45のゲート電位リセット用トランジスタ49をオンにして垂直出力線46には今度はリセット電位にあるゲート電位のフォロウ出力が現われる。このとき端子51には前記リセット電位にあるゲート電位のフォロウ出力と前記露光量情報を担ったフォロウ出力との差分の電圧が現れ、この差分の出力電圧をバッファ52を通してこれをA/D変換器31のアナログデータ入力端子1に各列毎に各々入力する。以上のように差分をとることにより各増幅用トランジスタの特性ばらつきに起因する固定パターンノイズを除去している。以下各列の差分のアナログ出力が並列にA/D変換されてデジタル値としてデジタル信号出力線18にシリアルに出力される。以下、水平ブランキング期間毎に1行づつ各列の差分のアナログ出力が並列に前記A/D変換器31に入力されてはシリアルにデジタル値に変換されて出力される。なお垂直信号線46と端子51との間に増幅器を挿入してもよく、この増幅器が電圧増幅部とそれに引き続くバッファ段からなる場合には出力信号を大きくとることができる。この直後に前記の差分電圧をとる回路があるので固定パターンノイズはやはり除去される。

【0022】図9(a)のセンサで用いた固定パターンノイズを除去するための方法はA/D変換機能を有さないセンサとしても有効に働くので、そのような場合を図9(b)を用いて説明する。入射露光量に応じて各フォトダイオード44に蓄えられた電荷は垂直走査回路の働きにより選択された行について水平ブランキング期間毎に転送スイッチ43が一斉にオンし増幅用トランジスタ45のゲート電位として蓄えられる。この後転送スイッチ43はオフ状態にする。このとき露光量情報を担うフォロウ出力が垂直出力線46に現われているが、ここで

結合容量50の端子51の電位をリセットするリセットスイッチ48をオンにする。次に端子51の電位のリセットスイッチ48がオフした後に増幅用トランジスタ45のゲート電位リセット用トランジスタ49をオンにして垂直出力線46には今度はリセット電位にあるゲート電位のフォロウ出力が現われる。このとき端子51には前記リセット電位にあるゲート電位のフォロウ出力と前記露光量情報を担ったフォロウ出力との差分の電圧が現れる。増幅器86を垂直信号線46と結合容量50との間に挿入してもよい。増幅器86が電圧増幅機能を有する場合は出力信号を大きくとることができるし、この場合にも明時出力と暗時出力間の差分電圧をとる回路が設けられているのでやはり固定パターンノイズを除去できる。端子51に現われた明時出力と暗時出力との差分電圧値を、水平走査回路の出力パルスにより順次スイッチ84を介して共通水平出力線85に出力する。この水平走査期間の露光による電荷は、転送スイッチ43がオフ状態になっているので増幅用トランジスタ45のゲートとは分離されているので、後で読み出される列になるほど出力が大きくなるという列毎の露光時間の不均一性は生じ得ない。

【0023】以上本発明のセンサによればA/D変換処理に好適な、固定パターンノイズを除去したアナログデータを得ることができ、センシング素子のアナログ量のデジタル化をセンサと同一チップ内もしくは近接した場所で、変換時間に長時間を要することなく行うことを可能とし、極めて高速に高品質のデータ収集が可能になる。本発明はハイブリッド構成においても大きな効果を有するのでA/D変換器に用いた半導体とは素材の異なるセンシング素子とも組合せ可能であり、その適用範囲は極めて広いといえることができる。

【0024】なお本発明は、センサへの応用例の説明においてはセンサとしては光情報を扱うイメージセンサを取り上げたが、光情報に限らずアレイ状をなした他の物理量を扱うセンシング素子においても適用可能である。

【0025】次に本発明の3次元集積回路の実施例を図面を参照しながら説明する。図10は本発明の実施例の3次元集積回路である。図10においては第1層、第2層、第3層からなる。第1層は光電変換層であり、図10では5行5列の光電変換単位素子からなる。第2層はA/D変換層であり、図10に示すように第1層の光電変換素子に対応して5行5列のA/D変換単位素子からなる。第3層は演算処理層である。3次元集積回路としてはさらに信号転送部、記憶部、電源部、駆動部等をも層毎に形成したものも存在するが、いずれも図10では光電変換部となっている多数のアナログデータの入力または発生部とA/D変換部とを一般的に有している。第2層のA/D変換層は多数個のアナログ値を同数個のデジタル値に変換する機能を有するが、そのA/D変換層をA/D変換単位素子部とA/D変換共通部とを合わ

せて図11に示す。図11においてはA/D変換単位素子部を2行2列のアレイ状に並んだ形として描いている。本A/D変換層は既に説明した実施例である図1及び図2のA/D変換器においてデジタル値出力のシリアル出力方式を考慮しないものを2次元マトリックス状に配列したものに相当する。即ち複数データの平行入力、平行出力のA/D変換器となっている。図11においては図10の光電変換層からアナログ量を受けべき複数のアナログデータ入力端子61を有しておりこれらのデータは、アナログ値転送ゲート端子62によって駆動されるアナログデータ転送スイッチ63を介してアナログ値蓄積部64に保持される。65はカウンタでありカウンタクロック入力端子66及びカウンタクリア端子67によって制御される。68はカウンタ65からのバイナリ出力線である。なお図10では簡単のためカウンタ65を3ビットカウンタとしているが原理的には求める階調性に応じて何ビットカウンタでもよい。D/A変換器69はカウンタ65のバイナリ出力端子68からのバイナリ出力をアナログ値に変換したデータを複数の比較器70の一方の入力端子にD/A変換器アナログ出力線74を通して与える。各比較器70の他方の入力端子には前記アナログ値蓄積部64に保持されたデータが入力される。比較の初期段階ではアナログ値蓄積部64のデータの方がD/A変換器69のアナログ出力線のデータよりも大きく、比較器70の出力はデジタルデータ転送スイッチ71をオン状態にしてバイナリ出力線68のデータがバッファ増幅器72を経てデジタル値出力端子組75に伝達されている。カウンタ65がアップカウンタであればD/A変換器69のアナログ出力線74の値がアナログ値蓄積部64のデータを上回った時点で、即ち個々の光電変換単位素子毎に独立したタイミングで、各アナログ並列入力データ毎にデジタルデータ転送スイッチ71はオフ状態に転じ、以降デジタル値蓄積部77およびバッファ増幅器72のデータはデジタルデータ転送スイッチ71がオフ状態に転じる直前のバイナリデータを保持し続ける。カウンタ65がその最大値までカウントアップをし終えた後で、図示はしないが、各デジタル値出力端子組75のデジタル値出力をサンプリングする構成にすれば各アナログ並列データ入力端子61に与えられたアナログ値に相当するデジタル値が各入力端子毎に得られる。以下各画素毎に得られたデジタル値は図10の演算処理層へ伝達されて画像処理が行なわれる。アナログ値リセットスイッチ76はアナログ値蓄積部64をリセットするためのスイッチでありリセットゲート端子73によって制御される。本アナログ値リセットスイッチ76はアナログデータ入力端子61のインピーダンスが大きい場合に必要なものであり、出力インピーダンスの小さいバッファ等を介してアナログデータ入力端子61にデータ入力が行われる場合には特に必要ではない。アナログ値蓄積部6

4、デジタル値蓄積部77は容量性素子として描写しているが、これは更にインピーダンス変換素子をも含んだレジスタとしてもよい。

【0026】特にデジタル値蓄積部77とデジタルデータ転送スイッチ71はデジタルデータ転送スイッチ71のゲート端子をイネーブル端子とするフリップフロップにしてスタティックレジスタとしてもよい。D/A変換器69は重み付け型やR-2R型等の一般的なD/A変換器である。また本図に示すようなA/D変換器は積分型やカウンタ型と呼ばれるA/D変換器の範疇に入るものであり、上記の説明ではカウントアップ型として説明を行ったがカウントダウン型としてもよい。カウントダウン型の場合は、比較の初期段階ではアナログ値蓄積部64のデータの方がD/A変換器69のアナログ出力線74のデータよりも小さく、比較器70の出力はデジタルデータ転送スイッチ71をオン状態にしてバイナリ出力線68のデータがそのままデジタル値蓄積部77に伝達されているが、D/A変換器69のアナログ出力線74のデータ値がアナログ値蓄積部64のデータを下回った時点で各アナログ並列入力データ毎にデジタルデータ転送スイッチ71はオフ状態に転じ、以降デジタル値蓄積部77のデータはデジタルデータ転送スイッチ71がオフ状態に転じる直前のバイナリデータを保持し続けることになる。ところでデジタル値出力端子組75に現われるデータはアナログ並列入力データ毎に一斉に読み出しが可能である。このことは3次元集積回路のA/D変換器としては望ましい条件である。また通常のフラッシュ型のA/D変換器よりも光電変換単位素子当りのA/D変換素子数が小さい。これは1つの光電変換単位素子当りについてのA/D変換単位素子として必要な構成要素が比較器、デジタルデータ蓄積部、デジタルデータ転送スイッチ、アナログデータ蓄積部、アナログデータ転送スイッチ、リセットスイッチ、バッファ増幅器等の個数も少なく且つ極めて簡単な構造のデバイスからなっていることによる。本11図のデジタル出力は簡単に図示するために3ビットとしているがバイナリ出力線68、デジタルデータ転送スイッチ71及びバッファ増幅器72の並列本数を8本にすれば容易に8ビットデジタル出力を実現できる。アナログデータからデジタルデータへの変換は各アナログ並列入力データにおいて並列同時に行われている。カウンタ65のフルスケールが255であるとすれば、フレーム期間内に255クロックだけカウントすればよく、約500μ秒なる短いフレーム期間であっても最高約500kHzという比較的低周波のクロックで駆動してよく、従って時間的に余裕のあるA/D変換が可能であり、D/A変換器69の内部素子として低スルーレートのオペアンプを使用できるのでグリッチの悪影響もなく高精度化が可能である。従ってフラッシュ型のA/D変換器ほど高速ではないが通常の光電変換素子のフレーム

周波数からすれば十分に高速、高精度のA/D変換ができ、きわめて高性能の3次元集積回路を実現できる。また本実施例では3ビットのA/D変換器としたが、任意のビット数のA/D変換器に容易に拡張できることは明かである。

【0027】更に図11においてはアナログデータ転送スイッチ63、デジタルデータ転送スイッチ71、リセットスイッチ76は各々NチャネルMOSFETとして描写及び説明を行ってきたが、NチャネルMOSFETではなくPチャネルMOSFET、並列CMOSスイッチ、またはJFETを使用してもよい。スイッチを駆動する際のゲート電位変化によるフィードスルー電位変動のデータ（とりわけアナログデータ）に対する影響を更に考慮する場合には並列CMOSスイッチが望ましい。

【0028】図10の光電変換層内にある光電変換単位素子としてはその端子間電圧が露光量に応じて変化するものであればよく、その一方の端子電位を固定したとき露光量情報を担う他方の端子の電位を図11中のアナログデータ入力端子61に与えればよい。例えばフォトダイオードを用いてその端子間電位差を図11のアナログデータ入力端子61に与えればよい。図12は図11中のアナログ値蓄積部に対する充電能力を向上するための光電変換単位素子を示したものであり、78はフォトダイオード等に代表される光電変換基本デバイスであり、その一方の端子は固定電位端に、他方はインピーダンス変換して光電変換単位素子としての電流駆動能力を向上させるためのフォロワ回路構成をとる、インピーダンス変換素子79のゲート端子に結線されている。80は光電変換材料78の両端子間の電位差をリセットするためのリセットスイッチである。インピーダンス変換素子79のソース端子81に現われる電圧値を図11のアナログデータ入力端子61に与えて使用する。

【0029】以上、上記のような構成によれば、簡単な回路構成と少ない素子数で高速高精度なA/D変換器を単位光電変換素子毎に設けることが可能であり、高精度デジタル信号処理が可能な高集積度の3次元集積回路を実現することができる。

【0030】なお本発明は、光電変換素子をアナログデータ入力源としたが、光情報に限らずアレイ状をなした光以外の他の物理量を扱うセンシングデバイスをアナログデータ入力源とした場合においても適用可能である。更に前記アナログデータの入力源は特にセンシングデバイスからの出力である必要もなく信号処理の過程で現われたなんらかのアナログ値であっても本質的に問題はなく本発明は適用されるものである。また必要であれば、図9(a)、(b)で説明したと同様にクランプ回路を設ければ固定パターンノイズの除去機能を有する3次元集積回路も実現することが可能である。

【0031】

【発明の効果】以上説明したように本発明によれば簡単な回路構成によって、固定パターンノイズの除去機能を有するセンサが可能になると共に、並列入力される複数個のアナログ値をデジタル値に、A/D変換期間を節約して、高精度に変換することが可能になるとことと、変換されたデジタル値を高速走査して出力することによって、高速高精度なパラレル入力/シリアル出力のA/D変換器を実現することができる。また上記のA/D変換器に入力すべきアナログデータを与えるアレイ状のセンシング素子を付加することにより、センシング素子の各種の物理量情報量に基づくアナログ値をデジタル値に各センシング素子毎に並列に変換することが可能となり、前記デジタル量を高速に読み出して高速、高S/Nのアレイ状センサを実現することができる。例えば前記物理量として光を扱えば、本発明は画像入力装置として極めて有用である。更に上記のA/D変換器を多入力多出力構成とし、これにより多数のアナログ値をA/D変換するA/D変換層を形成すれば、高精度で高集積度である3次元集積回路を実現することができる。とりわけ本発明はアレイ状のセンシング素子を有する3次元集積回路とりわけ画像処理用3次元集積回路用において極めて好適である。

【0032】以上説明したように本発明の産業上の効果は極めて大である。

【図面の簡単な説明】

【図1】本発明のA/D変換器の第1の実施例における回路図

【図2】図1のA/D変換器の駆動タイミング図

【図3】本発明のA/D変換器の第2の実施例における回路図

【図4】図3のA/D変換器の駆動タイミング図

【図5】本発明のセンサの第1の実施例における回路図

【図6】本発明のセンサの第2の実施例における回路図

【図7】2次元アレイ状のセンサの構成図

【図8】本発明の第1の実施例の2次元アレイ状のセンサのブロック図

【図9】(a)は本発明の第2の実施例の2次元アレイ状のセンサのブロック図(b)はA/D変換機能を備えない2次元アレイ状のセンサのブロック図

【図10】本発明の実施例の3次元集積回路の機能説明図

【図11】本発明の3次元集積回路に用いるA/D変換器の回路図

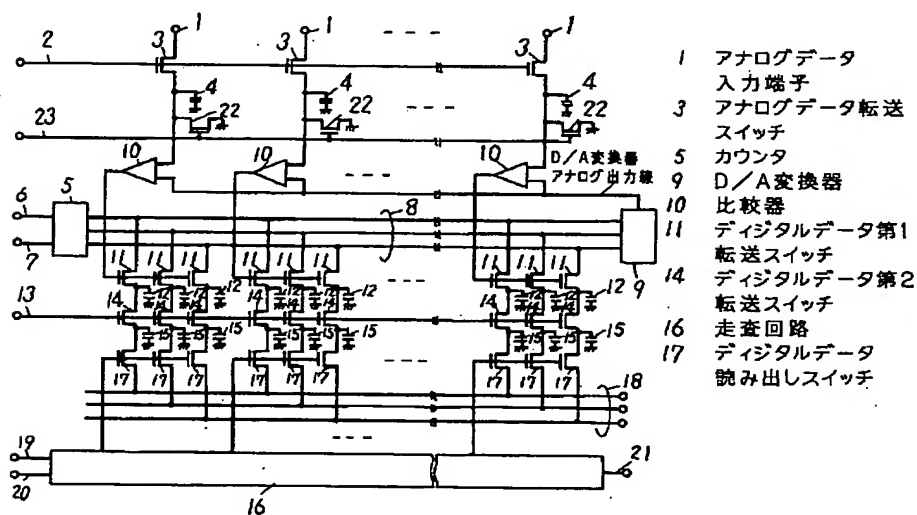
【図12】光電変換単位素子の回路図

【符号の説明】

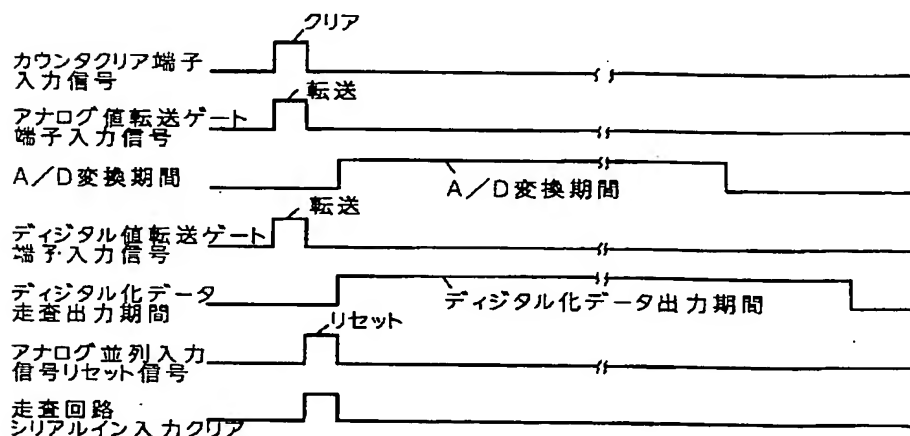
- 1 アナログデータ入力端子
- 4 アナログ値蓄積部
- 5 カウンタ
- 9 D/A変換器
- 10 比較器

- | | |
|-------------------------|------------------|
| 11 デジタルデータ第1転送スイッチ | 44 フォトダイオード |
| 12、15、24 デジタル値蓄積部 | 45 増幅用トランジスタ |
| 13 デジタル値転送ゲート端子 | 46 垂直信号線 |
| 14 デジタルデータ第2転送スイッチ | 50 結合容量 |
| 16 走査回路 | 51 差分信号出力端子 |
| 25 センシング素子 | 61 アナログデータ入力端子 |
| 31 パラレルイン-シリアルアウトA/D変換器 | 63 アナログデータ転送スイッチ |
| 34 浮遊拡散領域 | 65 カウンタ |
| 39 フォトダイオード | 69 D/A変換器 |
| 40 転送ゲート | 70 比較器 |
| 41 垂直電荷転送路 | 71 デジタルデータ転送スイッチ |

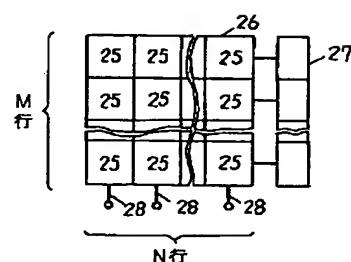
【図1】



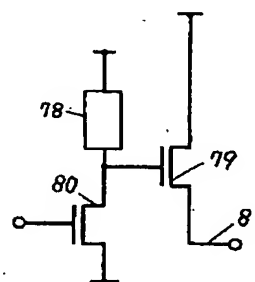
【図2】



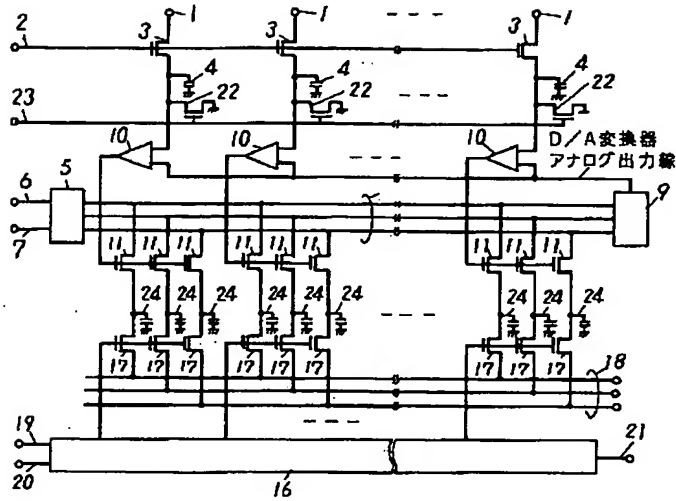
【図7】



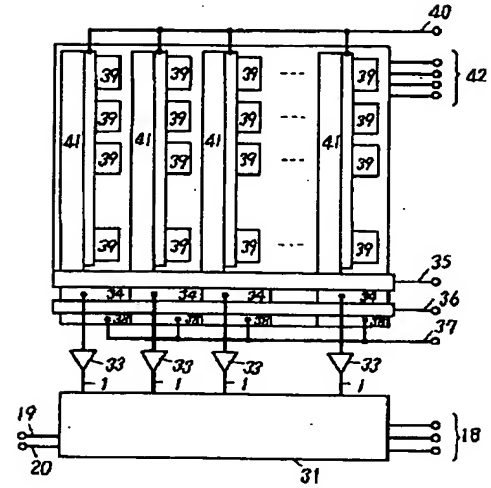
【図12】



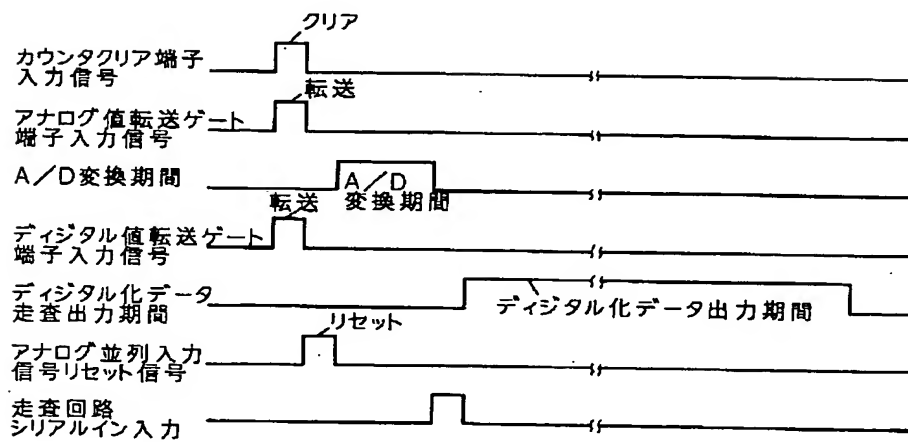
【図3】



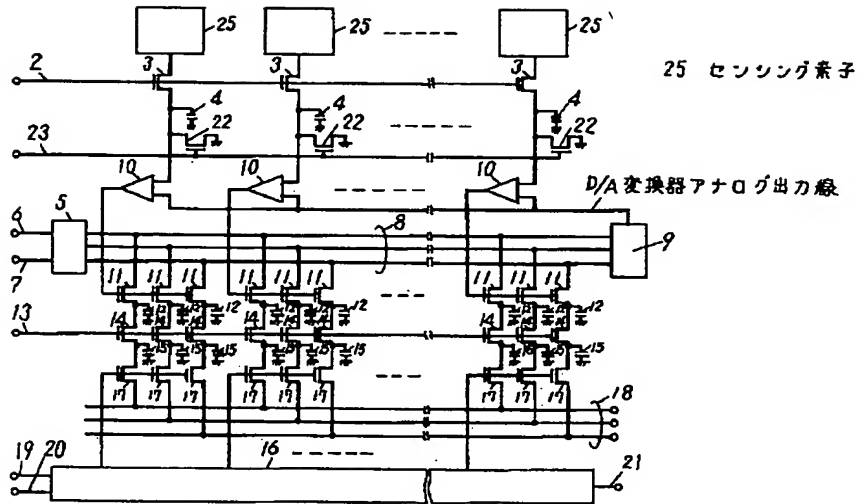
【図8】



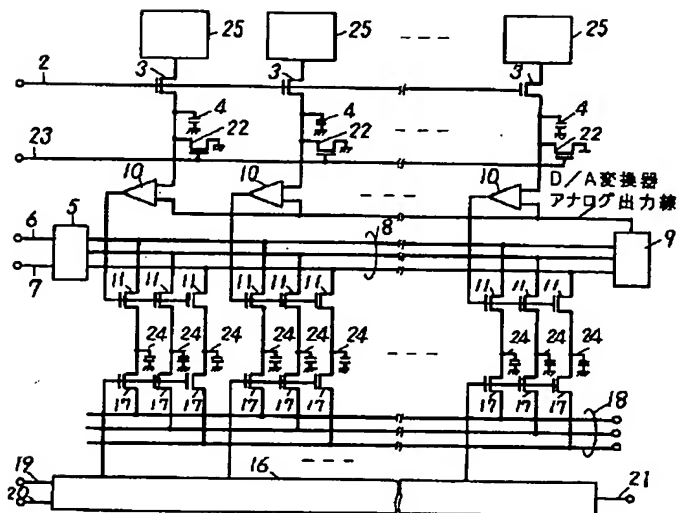
【図4】



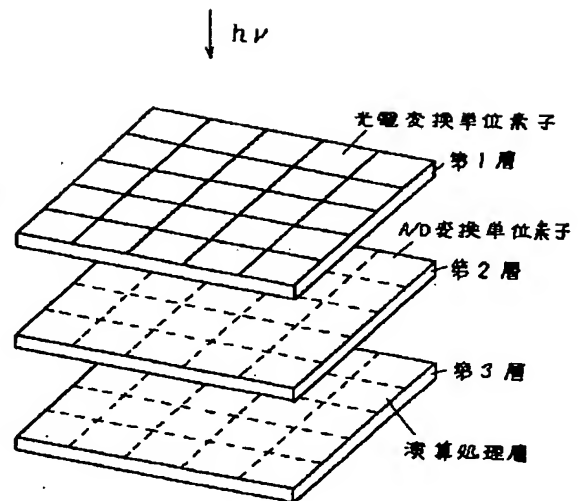
【図5】



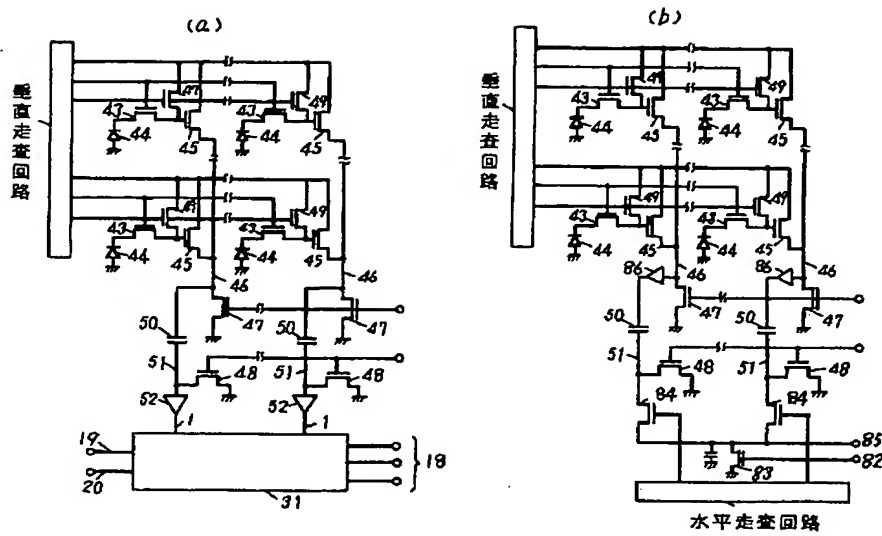
【図6】



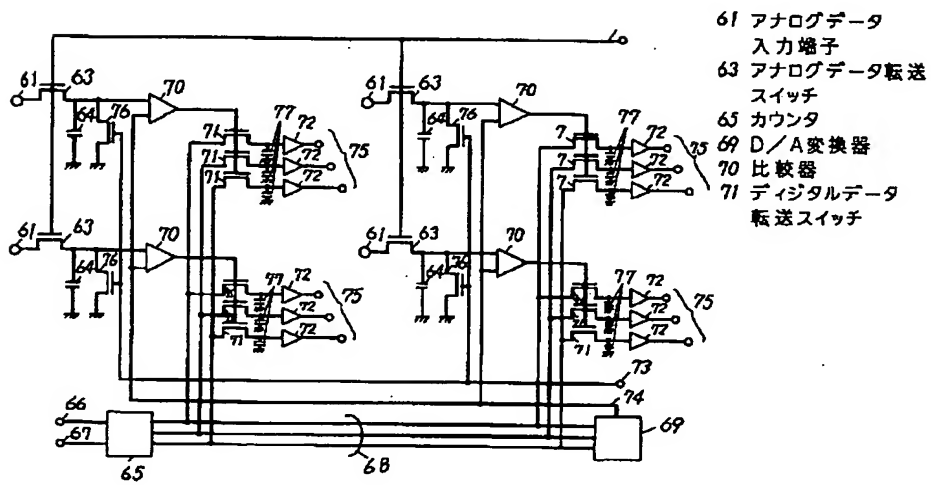
【図10】



【図 9】



【図 11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.